

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-308763

(43)Date of publication of application : 16.12.1988

(51)Int.Cl. G11B 19/28
H02P 5/00

(21)Application number : 62-144095

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.06.1987

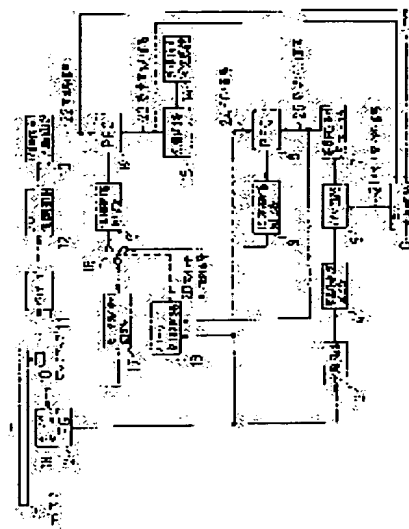
(72)Inventor : FUKUSHIMA AKIO
MIURA YOSHIO
SUZUKI MOTOYUKI
MORI YONEMITSU

(54) MOTOR REVOLUTION CONTROLLER

(57)Abstract:

PURPOSE: To attain highly accurate control even when a synchronizing signal is not correctly obtained by applying revolution control by a synchronizing signal when the number of revolutions of a motor is stable and switching the synchronizing signal into the stored synchronizing signal when the number of revolutions is unstable.

CONSTITUTION: A PFC 8' receives a synchronizing signal 22 from a synchronizing signal separation circuit 13 and a reference synchronizing signal 23 from a reference signal generating circuit 14 and a frequency divider circuit 15 to output a phase error signal to a phase compensation circuit 9'. On the other hand, a frequency signal measured by a frequency measuring circuit 4 is stored in a memory circuit 5. The circuit 7 outputs a reference FG signal 25 from a stored data. A PFC circuit 8 outputs a phase difference error signal from the signal 25 and the FG signal 24 to a phase compensation circuit 9. On the other hand, when a difference between the synchronizing signal 22 and the reference synchronizing signal 23 is larger than a prescribed value, the control circuit 21 inhibits the data updating of a memory circuit 5. When the rotation of a disk 1 is stable and the difference between the FG signal 24 and the reference FG signal 25 is small, an output of the circuit 9' is used to control the revolution by the control circuit 19 and when the difference is large, a switch 16 selects the output of the circuit 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許出願公告番号

特公平6-38306

(24)(44)公告日 平成6年(1994)5月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 19/28	B	7525-5D		
19/247	R	7525-5D		

発明の数1(全 6 頁)

(21)出願番号	特願昭62-144095	(71)出願人	999999999 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
(22)出願日	昭和62年(1987)6月11日	(72)発明者	福島 秋夫 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所家電研究所内
(65)公開番号	特開昭63-308763	(72)発明者	三浦 芳夫 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所家電研究所内
(43)公開日	昭和63年(1988)12月16日	(72)発明者	鈴木 基之 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所家電研究所内
		(74)代理人	弁理士 並木 昭夫
		審査官	新宮 佳典

最終頁に続く

(54)【発明の名称】 モータ回転制御装置

1

【特許請求の範囲】

【請求項1】回転記録媒体を回転させるモータの回転数に比例した周波数を持つパルス信号を発生するパルス信号発生手段と、該パルス信号を分周する分周手段と、該分周手段からの出力信号の周期または周波数をもとに前記モータの回転数を計測し、その回転数に対応したデータを出力するモータ回転数計測手段と、出力された該データを記憶するメモリ回路と、該メモリ回路の記憶動作を制御するメモリ制御手段と、前記メモリ回路に記憶された前記モータの回転数に対応したデータに基づいて、その回転数に対応する前記パルス信号の周波数と略等しい周波数を持つ基準パルス信号を発生する基準パルス信号発生手段と、前記回転記録媒体から再生される同期信号と該同期信号の基準となる基準同期信号との位相差(以下、第1の位相差と言う)、及び前記パルス信号発

2

生手段からのパルス信号と前記基準パルス信号発生手段からの基準パルス信号との位相差(以下、第2の位相差と言う)をそれぞれ検出し、何れか一方の位相差を選択して、その位相差に対応した位相誤差信号を出力する位相差検出手段と、該位相差検出手段からの位相誤差信号を増幅し、増幅された該信号により前記モータを駆動するモータ駆動手段と、を具備したモータ回転制御装置において、

前記位相差検出手段は、前記パルス信号発生手段からのパルス信号と前記基準パルス信号発生手段からの基準パルス信号との周波数の比または差が所定の第1の値よりも小さい時には前記第1の位相差を選択し、それ以外の時には前記第2の位相差を選択すると共に、前記メモリ制御手段は、前記回転記録媒体から再生される情報のうち、所望の情報が正しく得られているか否かを検出し、

3

正しく得られている時には前記メモリ回路に記憶内容の更新を行わせ、それ以外の時には該メモリ回路に記憶内容の更新を停止するよう記憶制御を行うことを特徴とするモータ回転制御装置。

【請求項2】特許請求の範囲第1項に記載のモータ回転制御装置において、前記所望の情報は、前記回転記録媒体から再生される同期信号であり、前記メモリ制御手段は、該同期信号と前記基準同期信号との周波数の比または差が所定の第2の値よりも小さい時には該同期信号が正しく得られているものとして前記メモリ回路に記憶内容の更新を行わせ、それ以外の時には該メモリ回路に記憶内容の更新を停止するよう記憶制御を行うことを特徴とするモータ回転制御装置。

【請求項3】特許請求の範囲第1項または第2項に記載のモータ回転制御装置において、前記メモリ制御手段は、前記メモリ回路に所望のデータを任意に書き込み得るようにしたことを特徴とするモータ回転制御装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は、回転記録媒体から情報信号を再生するビデオディスクプレーヤ、コンパクトディスクプレーヤ等の情報再生装置に係り、特に、前記回転記録媒体を回転させるモータの回転数の大きな変動や暴走を防止することが可能なモータ回転制御装置に関するものである。

〔従来の技術〕

ビデオ信号やデジタルオーディオ信号等の情報信号が高密度に記録された円盤状の回転記録媒体（以下、ディスクと言う）から、該情報信号を再生する情報再生装置が実用化されている。これらの高密度記録ディスクにおいては、記録容量を大きくするため、一定の線速度で記録されているものがある。この様な定線速度再生を行なうためには、ディスクの回転数が、ディスクの内周部を再生する時には速く、外周部を再生する時には遅くなるように、ディスクを回転させるモータを制御する必要がある。

このような制御を行うモータ回転制御装置としては、ディスクからの再生信号に含まれる同期信号を抽出し、同期信号の周波数が基準同期信号の周波数と一致するように、モータの回転を制御するものがあげられる。

しかし、この様な装置ではモータの回転数を表す信号はディスクからの再生信号に含まれる同期信号であり、同期信号の再生が正しく行なわれなければ、モータの回転制御は正しく行なわれない。したがって、例えば、ディスクの欠陥により情報信号が欠落した場合や、ランダムアクセス動作のためにトラッキングサーボを停止した場合には、同期信号が正しく得られないため、モータの正しい回転制御は不可能となり、モータの回転数は大きく変動して回復には時間を要する。

そこで、上記問題点を解決するために、モータに周波数発電機（以下、FGという。）を付加し、このFGの出

4

力信号の周波数からモータの回転数を得、同期信号が正しく得られない場合には、この得られたモータの回転数が基準となるモータの目標回転数に一致するように、モータの回転を制御する装置がある。この種の装置としては、例えば、特開昭61-24055号公報、特開昭59-71168号公報に記載のものが挙げられる。

〔発明が解決しようとする問題点〕

ところが、上記従来技術においては次のような問題点があった。

すなわち、前者の特開昭61-24055号公報に記載の装置においては、同期信号が正しく得られている時、FGの出力信号から得られたモータの回転数を、サンプルホールド回路によってアナログ量（ホールド電圧）として逐次記憶し、同期信号が正しく得られなくなった場合には、該サンプルホールド回路に記憶されているホールド電圧を表すモータの回転数を前述のモータの目標回転数として、モータの回転を制御するようにしている。しかしながら、サンプルホールド回路はアナログ回路であるため、LSI化に余り適しておらず、また、ホールド電圧を精度良く維持することが難しいという問題があった。

一方、後者の特開昭59-71168号公報に記載の装置においては、信号発生手段から出力された信号を分周手段により分周して基準信号を作成し、この基準信号の周波数に対応する値を前述したモータの目標回転数として、モータの回転を制御するようにしている。しかしながら、前述の如く、定線速度再生を行うためには、ディスク上の再生位置に応じてモータの回転数は変化させなければならず、そのため、モータの目標回転数を決定する前記分周手段の分周値を、外部からディスク上の再生位置に応じて逐次変更する必要があった。また、特に、ランダムアクセス時には、モータの回転数を急速に変化させなければならないので、それに応じて分周値を変更する際に、その応答時間が非常に問題となる。

そこで、本発明の目的は、上記した従来技術の問題点を解決し、同期信号が正しく得れない様な場合でも、モータの回転数が大きく変動したり、モータが暴走したりすることがなく、しかも、LSI化に適し、制御精度が高く、更に、モータの目標回転数を外部から設定し直したりする必要のないモータ回転制御装置を提供することにある。

〔問題点を解決するための手段〕

上記した目的を達成するために、本発明では、回転記録媒体を回転させるモータの回転数に比例した周波数を持つパルス信号を発生するパルス信号発生手段と、該パルス信号を分周する分周手段と、該分周手段からの出力信号の周期または周波数をもとに前記モータの回転数を計測し、その回転数に対応したデータを出力するモータ回転数計測手段と、出力された該データを記憶するメモリ回路と、該メモリ回路の記憶動作を制御するメモリ制御

5

手段と、前記メモリ回路に記憶された前記モータの回転数に対応したデータに基づいて、その回転数に対応する前記パルス信号の周波数と略等しい周波数を持つ基準パルス信号を発生する基準パルス信号発生手段と、前記回転記録媒体から再生される同期信号と該同期信号の基準となる基準同期信号との位相差（以下、第1の位相差と言う）、及び前記パルス信号発生手段からのパルス信号と前記基準パルス信号発生手段からの基準パルス信号との位相差（以下、第2の位相差と言う）をそれぞれ検出し、何れか一方の位相差を選択して、その位相差に対応した位相誤差信号を出力する位相差検出手段と、該位相誤差検出手段からの位相誤差信号を増幅し、増幅された該信号により前記モータを駆動するモータ駆動手段と、を具備したモータ回転制御装置において、前記位相差検出手段は、前記パルス信号発生手段からのパルス信号と前記基準パルス信号発生手段からの基準パルス信号との周波数の比または差が所定の第1の値よりも小さい時には前記第1の位相差を選択し、それ以外の時には前記第2の位相差を選択すると共に、前記メモリ制御手段は、前記回転記録媒体から再生される情報のうち、所望の情報が正しく得られているか否かを検出し、正しく得られている時には前記メモリ回路に記憶内容の更新を行わせ、それ以外の時には該メモリ回路に記憶内容の更新を停止するよう記憶制御を行うものである。

〔作用〕

本発明では、前記位相差検出手段により、モータの回転数が安定している時には、前記同期信号による回転制御が行われるが、該同期信号が正しく得られなくなり、モータの回転数が変動した場合には、直ちに前記パルス信号による回転制御に切り換わる。したがって、前記同期信号が正しく得られなくても、モータの回転数が大きく変動したり、モータが暴走したりすることがない。

また、前記回転記録媒体から再生される情報のうち、所望の情報、例えば、前記同期信号が正しく得られている時には、前記メモリ回路は記憶内容を逐次更新するので、該メモリ回路内には常に最新のモータの回転数に対応したデータが記憶されることになる。そして、前記同期信号が正しく得られなくなり、前記パルス信号による回転制御に切り換わった場合には、更新が停止され、その時に記憶されているデータがモータの目標回転数となる。したがって、再生位置の変化によってモータの回転数を変化させなければならない場合であっても、前記モータの目標回転数は、前記メモリ回路の記憶データとして再生位置に応じて逐次更新されているので、外部から設定し直したりする必要がない。

また、モータの回転数の計測にあたっては、前記モータ回転数計測手段において、前記分周回路の出力信号の周期または周波数をもとにデジタル処理によって行い、その得られたデータは前記メモリ回路にデジタル量として記憶される。したがって、全体をデジタル回路によって

6

構成できるため、LSI化に適し、かつ、記憶データも精度良く維持できるので、制御精度の向上をはかることができる。

〔実施例〕

以下、添付図面を参照しながら本発明の実施例について説明する。

第1図は本発明の第1の実施例としてのモータ回転制御装置を示すブロック図である。

第1図中、1はディスク、2は周波数発電機（以下、FGという。）、3は分周回路、4は周期測定回路、5はメモリ回路、6はメモリ制御回路、7は基準FG信号発生回路、8、8'は位相周波数比較回路（以下、PFCという。）、9、9'は位相補償回路、10はピックアップ、11はプリアンプ、12はFM復調回路、13は同期信号分離回路、14は基準信号発生回路、15は分周回路、16は切換えスイッチ、17はモータ駆動回路、18はディスクモータ、19スイッチ制御回路、20はスイッチ制御信号、21はメモリ制御信号、22は同期信号、23は基準同期信号、24はFG信号、25は基準FG信号、である。

ディスク1からピックアップ10によって読出された信号は、プリアンプ11により増幅され、FM復調回路12で復調されて再生信号となる。再生信号が入力された同期信号分離回路13は、再生信号からモータ回転数の制御等に用いる同期信号22を分離し、これはPFC8'に入力される。一方、PFC8'には、基準信号発生回路14からの出力信号を分周回路15で分周して得られる基準同期信号23も入力されている。したがって、PFC8'の出力には同期信号22と基準同期信号23の位相差に対応した位相誤差信号が得られる。

一方、FG2から出力されるFG信号24は、分周回路3で分周されたのち周期測定回路4に入力される。周期測定回路4はパルス信号として入力された入力信号の周期を測定して、その測定値に対応するデジタル信号を出力データとして出力する。そして、メモリ回路5はメモリ制御回路6からのメモリ制御信号21に応じて、周期測定回路4からの出力データを記憶する。次に、基準FG信号発生回路7はメモリ回路5の記憶データから、測定された周期に対応する周波数の信号を発生するためのもので、この発生された信号が基準FG信号25としてPFC8に入力される。PFC8にはFG2からFG信号24も入力されており、PFC8の出力には基準FG信号25とFG信号24との位相差に応じた位相誤差信号が得られる。

メモリ制御回路6は、同期信号22と基準同期信号23との周波数の比または差が所定の値よりも小さいときにはメモリ回路5の記憶データを更新させ、ディスクモータ18の回転数がずれて所定の値よりも大きくなったときには更新を禁止するようなメモリ制御信号21を出力する。したがって、メモリ制御信号21によるメモリ回

路5には、ディスク1が正規の回転数で回転しているときには常に最新のモータ回転数に対応するデータが記憶され、回転数が変動し同期信号22と基準同期信号23との周波数の比または差が所定の値よりも大きくなったときにはその値を越える直前のモータ回転数に対応するデータが記憶される。

スイッチ制御回路19は、FG信号24と基準FG信号25との周波数の比または差が所定の値よりも小さいときにはスイッチ制御信号20として例えば論理“1”レベルを出力し、それ以外のときには論理“0”レベルを出力する。切換えスイッチ16は、スイッチ制御信号20の論理レベルにより“1”レベルのときには位相補償回路9'側に、“0”レベルのときには位相補償回路9側に切換わる。したがって、ディスク1が所定の回転数の範囲内で回転しているときには、ディスクモータ18はディスク1から再生された同期信号22によって回転速度制御が行なわれる。

しかしながら、ディスク1の欠陥により信号が欠落したり、ランダムアクセス動作のためにトラッキングサーボを停止した状態でピックアップ10を高速で移動したりした場合には、同期信号22は正しく再生されない。そのため、PFC8'は誤った位相比較結果を出力し、ディスクモータ18の回転数が変動する。

この回転数の変動によりFG信号24の周波数も変化し、基準FG信号25との周波数の比または差が所定の範囲を越えると、スイッチ制御信号20により、切換えスイッチ16は、今までディスクモータ18の回転制御を行っていた位相補償回路9'の出力から、位相補償回路9の出力に切換えられる。一方、前述の様に、回転数が所定の値よりもずれると、メモリ回路5の記憶データの更新は禁止する様にしているから、この時の基準FG信号25の周波数は、ほぼ正規の回転数でディスクモータ18が回転しているときのFG信号24の周波数と等しい。したがって、位相補償回路9の出力によって制御されるディスクモータ18は再び正規の回転数に復帰するため、ディスクモータ18の回転数が大きく変動したり、暴走したりすることはない。しかも、その回復に要する時間も短い。

次に、本発明の第2の実施例について説明する。

第2図は本発明の第2の実施例を示すブロック図である。

第2図において、前述した第1図と同一の構成部分には第1図と同一の符号を付してある。その他、16'は切換えスイッチである。

以下、本実施例について、第1の実施例と異なる点を対比しながら説明する。

第1の実施例においては、同期信号22と基準同期信号23の位相差を得るためのPFC（位相周波数比較器）8'と、FG信号24と基準FG信号25の位相差を得るためのPFC8と、の2つのPFCを用い、それらの

出力信号を切換えスイッチ16で切換えることにより、ディスクモータ18の回転制御を行うための制御信号を選択している。

それに対し本実施例においては、PFC8だけを用い、ディスクモータ18の制御信号の選択はPFC8の2つの入力信号をそれぞれ切換えることにより行なっている。すなわち、同期信号22と基準同期信号23の位相差を得る場合には切換えスイッチ16、16'をA側に、また、FG信号と基準FG信号の位相差を得る場合にはB側にする。

本実施例の構成によれば、第1の実施例と比較してPFC（位相周波数比較器）が1つで済むため、構成が簡易になる。

ところで、第1および第2の実施例においては、分周回路3の分周比Nは任意の値をとりうるが、特にNを、ディスクモータ18が1回転する間のFG信号24のパルス数と同じにした場合には、周期測定回路4に入力される信号はディスクモータ18が1回転するごとに1個のパルスとなる。この場合には、周期測定回路4の入力信号の周期はFG2の精度によらないため、ディスクモータ18の回転数を精度良く計測できるという特徴をもつ。

このことをもう少し詳しく説明すると、例えば、FG2が、ディスクモータ18が1回転（360°）する間に10個のパルスをFG信号24として出力するような構成であったとしても、実際には、36°に1個の割合で正確にパルスが出力されるわけではなく、FG2の機械的な加工精度によって、例えば、或る区間では30°に1個の割合であったり、他の区間では40°に1個の割合であったりする。即ち、ディスクモータ18の回転数が一定であっても、FG信号24の周期は変動することになる。しかし、1回転する間にFG2より出力される10個のパルスのうち、例えば、第1番目のパルスのみに着目した場合、1回転毎に1回出力される第1番目のパルスだけの周期は、ディスクモータ18の回転数が一定であれば、常に一定となる。従って、前述の如く、分周回路3の分周比Nを、ディスクモータ18が1回転する間のFG信号24のパルス数（この場合は10である。）と同じにして、ディスクモータ18が1回転する毎に1個のパルスとなる信号を作り出すことにより、ディスクモータ18の回転数と1対1に対応した周期をもつ信号を得ることができるわけである。

また、第1および第2の実施例において、両者とも、ディスクモータ18の回転数はFG2の出力を分周回路3で分周した信号の周期から計測しているが、これは周期に限らず周波数を計測しても良く、要はディスクモータ18の回転数に対応するものであれば良い。

さらに、第1の実施例においては切換えスイッチ16を用いて位相誤差信号を選択しているが、これはスイッチに限らず、2つの位相誤差信号の加算の比率を所定の値

で変化するものであれば良い。

また、第1および第2の実施例において、メモリ回路5は、1つのメモリに限らず、複数個のメモリを用いて構成し、図示せざるシステムコントロール回路からの信号により、そのうちの1つを選択するようにしても良い。例えば、メモリを3つ使い、第1のメモリには前述したと同様の周期測定回路4からの出力データを記憶させ、第2のメモリには前記システムコントロール回路から出力されるデータを記憶させ、また、第3のメモリには所定の回転数に対応するデータを恒久的に記憶させる様に

した場合を考えて見る。
即ち、例えば、再生を開始する時のディスク1の回転数に対応するデータを、前記システムコントロール回路から出力させ、メモリ制御回路6によって第2のメモリに記憶させるか、或いは、予めそのデータを第3のメモリに記憶させておいた場合には、再生開始時にそれら第2または第3のメモリを選択することにより、再生開始から、ディスクモータ18が所望の回転数に達して、正常な信号が得られるまでの時間の短縮をはかることができる。また、ランダムアクセス時に、目標トラックにおける回転数に対応するデータを、前記システムコントロール回路から出力させ、メモリ制御回路6によって第2のメモリに記憶させ、第2のメモリを選択して、ピックアップ10の移動中にディスクモータ18の回転数を合わせるようにした場合には、ランダムアクセスに要する時間を短縮することができる。

また、第1および第2の実施例において、メモリ制御回路6およびスイッチ制御回路19における、周波数の比または差を検出する範囲にヒステリシスを設けることにより、ハンチングを防止する効果を持たせるようにしても良い。具体的に言うと、例えば、スイッチ制御回路19では、FG信号24と基準FG信号25との周波数の比または差が所定の値より大きい小さいかを検出して、出力するスイッチ制御信号20の論理レベルを切換えているが、その所定の値を、論理“1”レベルから論

理“0”レベルに切換える場合と、論理“0”レベルから論理“1”レベルに切換える場合とで異ならせることにより、同期信号22による回転制御とFG信号24による回転制御とが頻繁に切換わること（ハンチング）を防ぐのである。

〔発明の効果〕

本発明によるモータ回転制御装置ではディスクの欠陥により情報信号が欠落した場合や、ランダムアクセス動作のためにトラッキングサーボを停止した場合など、同期信号が正しく得られない様な場合には、その同期信号で制御されているモータの回転数が変動すると、メモリ回路の記憶内容の更新を停止させて、変動する直前のモータ回転数に対応したデータをメモリ回路内に留め、これをモータの目標回転数とするFG信号による制御に切換えて、モータの回転数を変動前の回転数に保持するようにしている。したがって、その様な場合においても、モータの回転数が大きく変動したり、モータが暴走したりすることがない。

また、全体がデジタル回路で構成できるため、LSI化に適し、制御精度も高く保てるという効果がある。更にまた、再生位置の変化によってモータの回転数を変化さなければならない場合であっても、前記モータの目標回転数は、前記メモリ回路の記憶データとして再生位置に応じて逐次更新されているので、外部から設定し直したりする必要がない。

【図面の簡単な説明】

第1図は本発明の第1の実施例を示すブロック図、第2図は本発明の第2の実施例を示すブロック図、である。

符号の説明

1……ディスク、2……周波数発電機、3……分周回路、4……周期測定回路、5……メモリ回路、6……メモリ制御回路、7……基準FG信号発生回路、8……位相周波数比較回路、16……切換えスイッチ、19……スイッチ制御回路。

[illegible][illegible]

(72) 發明者 森 米満

(56) 参考文献 特開 昭61-224176 (J P, A)
特開 昭63-112864 (J P, A)